



(19)

(11) Publication number:

06295875 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 05082090

(51) Intl. Cl.: H01L 21/265 H01L 21/266 H01L 21/027

(22) Application date: 08.04.93

(30) Priority:

(43) Date of application
publication: 21.10.94(84) Designated
contracting states:

(71) Applicant: SONY CORP

(72) Inventor: ONO KEIICHI

(74) Representative:

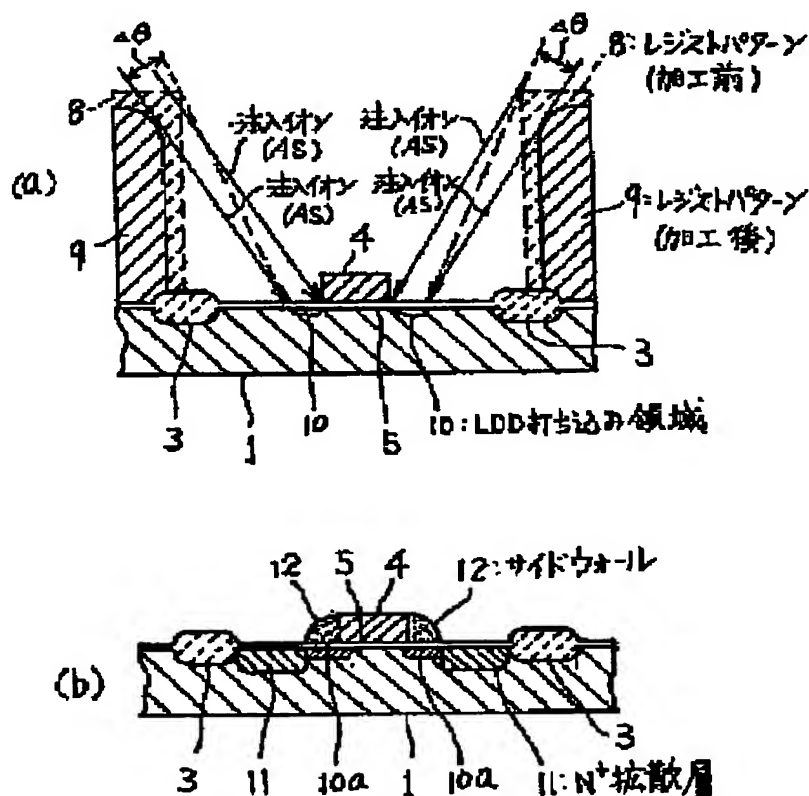
(54) FORMATION OF RESIST
PATTERN AND FABRICATION
OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To provide a method for forming a resist pattern in which the inclination angle is relaxed at the time of oblique ion implantation corresponding to fine patterning of LSI, and a method for fabricating a semiconductor device using the resist pattern.

CONSTITUTION: The method for fabricating a semiconductor device comprises a step for forming an impurity blocking film on the entire surface of a semiconductor substrate 1, a step for patterning the impurity blocking film to form an impurity blocking film 8, a step for tapering the impurity blocking film 8 by isotropic etching or heating, and a step for introducing impurities at a predetermined angle into a predetermined region 10 on the semiconductor substrate 1 using the tapered impurity blocking film as a mask.

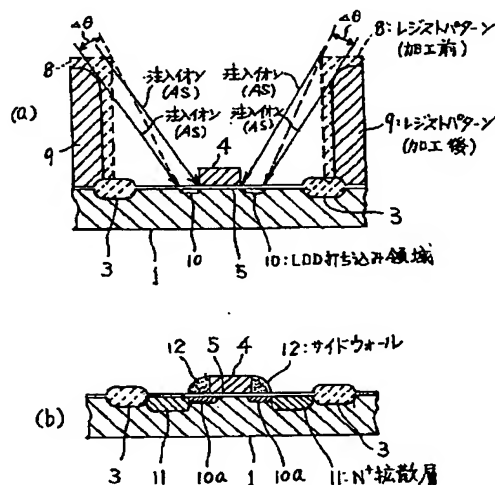
COPYRIGHT: (C)1994,JPO



(11)特許出願公開番号

(43)公開日 平成6年(1994)10月21日

(74)代理人 弁理士 山口 邦夫 (外1名)



【特許請求の範囲】

【請求項1】 半導体基板上方全面にレジスト膜を形成する工程と、前記レジスト膜をリソグラフィーによりパターンニングしてレジストパターンを形成する工程と、前記レジストパターンを等方エッチングにより、前記レジストパターンにテーバ形状を持たせる工程とを、含むことを特徴とするレジストパターンの形成方法。

【請求項2】 半導体基板上方全面にレジスト膜を形成する工程と、前記レジスト膜をリソグラフィーによりパターンニングしてレジストパターンを形成する工程と、前記レジストパターンを加熱して変形し、前記レジストパターンにテーバ形状を持たせる工程とを、含むことを特徴とするレジストパターンの形成方法。

【請求項3】 半導体基板内に不純物を導入する工程を有する半導体装置の製造方法において、前記半導体基板上方全面に前記不純物を阻止するための膜を形成する工程と、前記不純物を阻止するための膜をパターンニングして不純物阻止膜を形成する工程と、前記不純物阻止膜を等方エッチングあるいは加熱により、前記不純物阻止膜にテーバ形状を持たせる工程と、前記テーバ形状を持つ不純物阻止膜をマスクとして前記半導体基板の所定の領域に所定の角度で前記不純物を導入する工程とを、含むことを特徴とする半導体装置の製造方法。

【請求項4】 半導体基板内に第一の不純物を含むチャネル領域と、該チャネル領域に隣接する領域に低濃度の第2の不純物を含む第1の領域と該第1の領域に隣接する領域に高濃度の前記第2の不純物を含む第2の領域とから構成されるソース領域及びドレイン領域とを有する半導体装置の製造方法において、前記半導体基板上方全面に前記第2の不純物を阻止するための膜を形成する工程と、前記第2の不純物を阻止するための膜をパターンニングして不純物阻止膜を形成する工程と、前記不純物阻止膜を等方エッチングあるいは加熱して、前記不純物阻止膜にテーバ形状を持たせる工程と、前記テーバ形状を持つ不純物阻止膜をマスクとして前記半導体基板の前記第1の領域を形成する領域に所定の角度で前記第2の不純物を導入する工程とを、含むことを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板内に第1の不純物を含むチャネル領域と、第2の不純物を含むソース領域及びドレイン領域と、該ソース領域及びドレイン領域と前記チャネル領域側に隣接して設けられた前記チャネル領域の第1の不純物の濃度よりも濃い濃度の第1の不純物を含むポケット層とを有する半導体装置の製造方法において、前記半導体基板上方全面に前記第1の不純物を阻止するための膜を形成する工程と、前記第1の不純物を阻止するための膜をパターンニングして不純物阻止膜を形成する工程と、

前記不純物阻止膜を等方エッチングあるいは加熱して、前記不純物阻止膜にテーバ形状を持たせる工程と、前記テーバ形状を持つ不純物阻止膜をマスクとして、前記半導体基板の前記ポケット層を形成する領域に所定の角度及び前記チャネル領域よりも濃い濃度で、前記第1の不純物を導入する工程とを、含むことを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上の層間絶縁膜に開口されたコンタクトホールに不純物を導入する工程を有する半導体装置の製造方法において、前記半導体基板上方全面に前記第1の不純物を阻止するための膜を形成する工程と、前記第1の不純物を阻止するための膜をパターンニングして不純物阻止膜を形成する工程と、前記不純物阻止膜を等方エッチングあるいは加熱して、前記不純物阻止膜にテーバ形状を持たせる工程と、前記テーバ形状を持つ不純物阻止膜をマスクとして、前記コンタクトホール内に所定の角度で前記不純物を導入する工程とを、含むことを特徴とする半導体装置の製造方法。

【請求項7】 前記不純物阻止膜がシリコン窒化膜であることを特徴とする請求項3-6いずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、レジストの形成方法及び半導体装置の製造方法に係わり、特にレジストのテーバ加工方法及びテーバ加工されたレジストを用いた斜めイオン注入法に関するものである。

【0002】

【従来の技術】LSIの微細化に伴いMOSトランジスタにおいてはチャネルのドレイン端部におけるホットエレクトロン効果によってゲートの閾値が上がる。この現象は動作に伴って生じるため、回路の誤動作が生じる。このホットエレクトロン効果を抑制するための一つとしてLDD (Lightly Doped Domain) 構造がLSIのデバイス構造に取入れられている。LDD構造は、ドレイン端部にN⁻層 (以下LDD領域) を設けて、ここに出来る空乏層の電界が高くなるのを防ぎホットエレクトロン効果を低減する。

【0003】このLDD領域にN⁻層を設けるには、この領域に選択的に低濃度のリン(P)やヒ素(As)等のN型不純物のイオン注入を行なう斜めイオン注入の技術が用いられる。

【0004】図6は、従来の斜めイオン注入法を示す図である。図6に示すようにp型シリコン基板1にLOCOS法によりフィールド酸化膜3を形成し、その後熱酸化法によりゲート酸化膜5を形成する。次に、CVD (化学気相成長) 法によりポリシリコン膜を形成し、その後リソグラフィー及びRIEによりこのポリシリコン

膜をパターニングしゲート電極4を形成する。

【0005】次にリソグラフィーによりレジストパターン104を形成し、このレジストパターンをマスクとしてヒ素(As)等のN型不純物を低濃度でLDD打ち込み領域10に選択的にp型シリコン基板1の法線方向と所定の角度 θ (以下イオン注入の傾角)で斜めイオン注入を行なう。

【0006】

【発明が解決しようとする課題】LSIの微細化に伴いイオン注入を行なうLDD打ち込み領域10も小さくなってきている。一方注入部分を選択するレジストパターン104は、ストップングマスクとして機能するにはある程度の膜厚が必要となる。その結果LDD打ち込み領域10の幅とレジストパターン104の膜厚との比であるレジストのアスペクト比は増大する一方であり、その為イオン注入の傾角は減少する一方である。

【0007】図7は、イオン注入の傾角 θ を求めるための図である。ゲート電極4の幅をG、LDD打ち込み領域10の幅をG/2、レジストパターン104とゲート電極4との間の距離を2G、レジストパターンの膜厚tを3Gとするとイオン注入の傾角 θ は以下となる。

【0008】 $\theta = \tan^{-1}((2G - G/2)/3G)$

しかし、製造上の加工精度のよりゲート電極4が左右に ΔL 拡大してしまうことがあるので、打ち込み領域10の幅をG/2として確保するとLDD打ち込み領域10の端部は ΔL シフトしP₂に位置する。さらにLDD領域を決定するサイドウォールが加工精度により ΔS 大きくなると、LDD打ち込み領域10の端部は更に、 ΔS シフトしP₃に位置する。

【0009】また、ゲート電極4及びレジストパターンはリソグラフィーを用いて形成されるのでマスクの位置合わせをする必要があり、フィールド酸化膜3に合わせてマスクの位置合わせをすると、その位置合わせの合わせずれのマージンをゲート電極4のそれをM₁、レジストパターン104のそれをM₂とすると、ゲート電極4とレジストパターン104間の位置ずれのマージンをM₃とすると以下となる。

【0010】 $M_3 = (M_1^2 + M_2^2)^{1/2}$

更に、レジストパターン104の膜厚のマージンを Δt とすると、これらのマージンを考慮したイオン注入の傾角 θ' は以下となる。

【0011】 $\theta' = \tan^{-1}((2G - G/2 - \Delta L - \Delta S - M_3)/(3G + \Delta t))$

$\theta' < \theta$ であるので、イオン注入の傾角はさらに小さく制限される。

【0012】このように、イオン注入の傾角が制限を受けると、LSIの設計の支障となり問題となる。

【0013】この問題を解決するには、まずイオン注入の傾角を制限してLSIの能力をおとす方法が考えられるがこの方法は現実的でない。また、各イオン注入工程

においては、イオン注入時のエネルギーがそれぞれ異なりストップングマスクとしてのレジストパターンの最小膜厚は各々異なるので、各イオン注入工程での最小の膜厚のレジストパターンを使用してアスペクト比を緩和する方法が考えられるが、レジストパターンの膜厚は粘度で主に決まるため、いろいろな粘度のレジストが必要となり、レジストの在庫管理が煩わしくなる。

【0014】そこで、本発明はLSIの微細化に対応するため斜めイオン注入時のイオン注入の傾角を緩和するためのレジストパターンの形成方法及びそのレジストパターンを用いた半導体装置の製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】上記課題は本発明によれば、半導体基板内に不純物を導入する工程を有する半導体装置の製造方法において、前記半導体基板上全面に前記不純物を阻止するための膜を形成する工程と、前記不純物を阻止するための膜をパターニングして不純物阻止膜を形成する工程と、前記不純物阻止膜を等方エッチングあるいは加熱により、前記不純物阻止膜にテーパー形状を持たせる工程と、前記テーパー形状を持つ不純物阻止膜をマスクとして前記半導体基板の所定の領域に所定の角度で前記不純物を導入する工程とを、含むことを特徴とする半導体装置の製造方法によって解決される。

【0016】また、上記課題は本発明によれば、前記不純物阻止膜がシリコン窒化膜であることを特徴とする半導体装置の製造方法によって好適に解決される。

【0017】

【作用】本発明によれば、図1(a)に示すようにリソグラフィーによりレジストパターンを形成した後、このレジストパターン8を例えば等方エッチングするとレジストパターン8の角では、縦方向及び横方向にエッチングされ他よりもエッチングレートが大きいので角がとれてテーパー形状となる。従ってこのレジストパターン9をマスクとして斜めイオン注入を行なうとレジストパターン9がテーパー形状であるので $\Delta\theta$ イオン注入の傾角を緩和することができる。

【0018】また本発明によれば図3に示すように不純物阻止層としてシリコン窒化膜40を用いると、このシリコン窒化膜は不純物を阻止する能力がフォトレジストよりも大きいので膜厚をそれだけ小さくすることができアスペクト比をより小さくしイオン注入の傾角をより緩和することができる。

【0019】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

【0020】図1及び図2は本発明に係る斜めイオン注入法を示す第1実施例による工程断面図である。

【0021】図1(a)に示すようにp型シリコン基板1にLOCOS法によりフィールド酸化膜3を形成し、

その後熱酸化法によりゲート酸化膜5を形成する。次に、CVD法により200nmの厚さのポリシリコン膜を全面に形成する。次に、スピコート法により全面にレジスト膜を形成し、フィールド酸化膜3にマスクの位置合わせをして露光し、現像しレジストパターンを形成する。次にこのレジストパターンをマスクとしてRIE（反応性イオンエッチング）によりポリシリコン膜をパターンニングし、幅0.4μmのゲート電極4を形成し、レジストパターンを剥離する。

【0022】次に、スピコート法により全面に120nmの厚さのレジスト膜を形成し、フィールド酸化膜3にマスクの位置合わせをして露光し、現像しレジストパターン8を形成する。

【0023】次に、図1(b)に示すように酸素プラズマ等による等方性のプラズマエッチングによりレジストパターン8を100nmエッチングする。このエッチングは等方性のエッチングであるので、レジストパターン8の角では、縦方向及び横方向にエッチングされ、他よりもエッチングレートが大きいので角がとれてテーパー形状となる。

【0024】次に、図2(a)に示すようにレジストパターン9をマスクとして、p型シリコン基板1を傾けて、N型不純物として例えばヒ素(As)をエネルギー30keV、濃度 $2 \sim 3 \times 10^{13}/\text{cm}^2$ で、幅0.2μmのLDD打ち込み領域10に対して、斜めイオン注入をする。この時、レジストパターン9の角がとれてテーパー形状となっているので、イオン注入の傾角を $\Delta\theta$ 大きくでき、イオン注入傾角の制限を緩和できる。次に、レジストパターン9を剥離・除去する。

【0025】次に、CVD法により200nmの厚さのSiO₂膜を形成し、その後RIEにより全面エッチバックし、図2(b)に示すようにサイドウォール12を形成し、LDD打ち込み領域10上を被膜する。

【0026】次に、熱酸化法あるいはCVD法により100nmの厚さの酸化膜を形成し、サイドウォール12をマスクとしてN型不純物として例えばヒ素(As)をエネルギー20keV、濃度 $5 \times 10^{13}/\text{cm}^2$ でイオン注入し、その後熱処理して活性化を行い、N⁺拡散層11及びN⁻拡散であるLDD領域10aを形成する。

【0027】図3は本発明に係る斜めイオン注入法を示す第2実施例による断面図である。

【0028】本実施例では、第1実施例とは異なりLDD打ち込み領域10に選択的にイオン注入をするための不純物阻止層として阻止能力に優れたシリコン窒化膜を使用した。

【0029】図3に示すように、第1実施例と同様にp型シリコン基板1にフィールド酸化膜3、ゲート酸化膜5及びゲート電極4を形成する。次に、CVD法によりシリコン窒化膜を形成し、リソグラフィー及びRIEによりシリコン窒化膜をパターンニングしてシリコン窒化膜

パターン40を形成する。

【0030】次に、ウェットエッチング等の等方性エッチングによりシリコン窒化膜パターン40をエッチングして、シリコン窒化膜パターン41にテーパー形状をもたせる。

【0031】次に、シリコン窒化膜パターン41をマスクとして第1実施例と同様に、AsをLDD打ち込み領域10に対して斜めイオン注入する。この時、シリコン窒化膜パターン41は不純物の阻止能力がレジストパターン8よりも優れているので、膜厚を薄くすることができるのでアスペクト比を小さくできるとともに、テーパー形状であるのでイオン注入傾角を $\Delta\theta$ 緩和することができる。

【0032】次に、シリコン窒化膜パターン41を除去し、第1実施例と同様にサイドウォール12、LDD領域10a及びN⁺拡散層11を形成する。

【0033】図4は本発明に係る斜めイオン注入法を示す第3実施例による断面図である。

【0034】本実施例は、p型不純物の不純物濃度よりも濃い濃度のp型不純物を含むポケット層20を、ソース領域及びドレイン領域を形成するN⁺拡散層21に隣接する領域に設けた場合である。このポケット層20は、ソース接合の空乏層及びドレイン接合の空乏層の幅を短くするとともにチャネル端部の閾値を上げて、ソース接合の空乏層とドレイン接合の空乏層とが接触する現象であるパンチスルーを抑制して短チャネル効果を低減するものである。

【0035】図4に示すように、第1実施例と同様にp型シリコン基板1にフィールド酸化膜3、ゲート酸化膜5及びゲート電極4を形成する。次に、リソグラフィーにより第1実施例と同様にレジストパターン30を形成し、その後プラズマエッチング等の等方性エッチングによりエッチングして、レジストパターン31をテーパー形状にする。

【0036】次に、レジストパターン31をマスクとして、ポケット層打ち込み領域23に対してp型不純物として例えばボロンをエネルギー60keV、濃度 5×10^{12} で斜めイオン注入する。この時、レジストパターン31がテーパー形状であるのでイオン注入傾角の制限を $\Delta\theta$ 緩和できる。

【0037】次に、ゲート電極4をマスクとしてN型不純物として例えばヒ素(As)をエネルギー20keV、濃度 $5 \times 10^{13}/\text{cm}^2$ でイオン注入し、その後熱処理して活性化を行い、ポケット層20及びN⁺拡散層21を形成する。

【0038】図5は本発明に係る斜めイオン注入法を示す第4実施例による断面図である。

【0039】本実施例は、p型シリコン基板1とオーミックコンタクトをとるために行なうコンタクト補償イオン注入に斜めイオン注入を適用したものである。

【0040】図5に示すように、LOCOS法によりフィールド酸化膜3を形成した後、p型シリコン基板1とコンタクトをとるためにN⁺拡散層50を形成する。次に、CVD法により層間絶縁膜51を形成し、その後リソグラフィーによりレジストパターン（図示せず）を形成し、このレジストパターンをマスクとしてRIEにより層間絶縁膜51コンタクトホールを開く。この時、マスクの位置ずれによりレジストパターンの位置がずれていると（図5ではレジストパターンが右にずれた場合を示している）、コンタクトホールの端部がいずれかのフィールド酸化膜3により接近してしまい、ここでジャンクションリークが起こる原因となる。従ってこれを防止するために、この部分にN⁺不純物を斜めイオン注入する。

【0041】そこで、上述のレジストパターンを剥離・除去した後、コンタクト補償のための不純物阻止層としてレジストパターン52を形成する。その後プラズマエッチング等の等方エッチングによりレジストパターン53をテーパー形状にする。

【0042】次にレジストパターン53をマスクとして、N型不純物として例えばヒ素（As）を、シリコン基板1を回転しながら斜めイオン注入してコンタクト補償を行なう。この時レジストパターン53がテーパー形状であるのでイオン注入の傾角の制限を $\Delta\theta$ 、緩和することができ、かつコンタクトホール形成時のマスク合わせずれのマージンを大きくできる。

【0043】

【発明の効果】以上説明したように、本発明によればレジストパターンの角をとりテーパー形状にして、これをマスクとして斜めイオン注入を行なうので、イオン注入の傾角の制限を緩和することができ微細LSIの短チャネル効果やホットエレクトロン効果等の対策を、有効的にできデバイスの信頼性を向上させることができる。 *

*【0044】またシリコン窒化膜を不純物阻止層として用いることにより、アスペクト比をより小さくすることができるので、更にイオン注入の傾角の制限を緩和することができる。

【図面の簡単な説明】

【図1】第1実施例による斜めイオン注入工程断面図（I）である。

【図2】第1実施例による斜めイオン注入工程断面図（II）である。

【図3】第2実施例による斜めイオン注入法を示す断面図である。

【図4】第3実施例による斜めイオン注入法を示す断面図である。

【図5】第4実施例による斜めイオン注入法を示す断面図である。

【図6】従来例による斜めイオン注入法を示す断面図である。

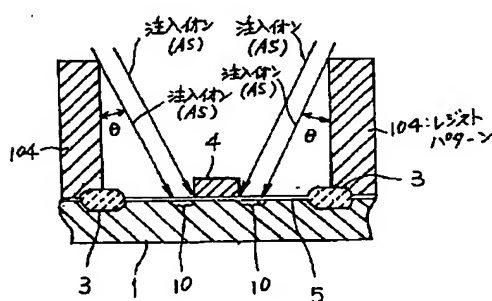
【図7】イオン注入の傾角を説明するための図である。

【符号の説明】

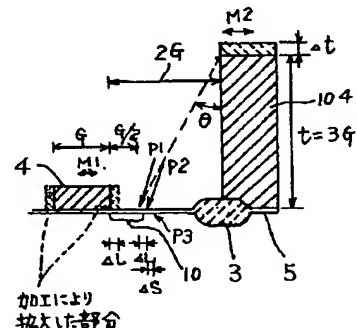
- 1 p型シリコン基板
- 3 フィールド酸化膜
- 4 ゲート電極
- 5 ゲート酸化膜
- 8, 30, 52 レジストパターン（加工前）
- 9, 31, 53 レジストパターン（加工後）
- 10 LDD打ち込み領域
- 10a LDD領域（N⁻領域）
- 11, 21 N⁺拡散層
- 12 サイドウォール
- 20 ポケット層
- 23 ポケット層打ち込み領域
- 40 シリコン窒化膜パターン（加工前）
- 41 シリコン窒化膜パターン（加工後）

【図6】

従来例による斜めイオン注入法を示す図

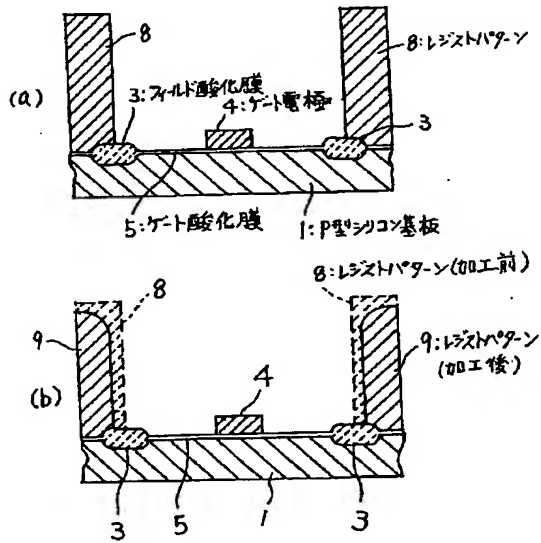


【図7】



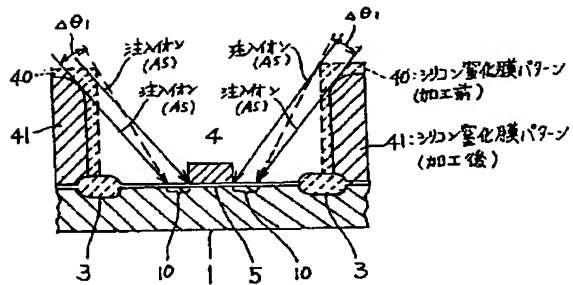
【図1】

第1実施例による斜めイオン注入工程断面図(I)



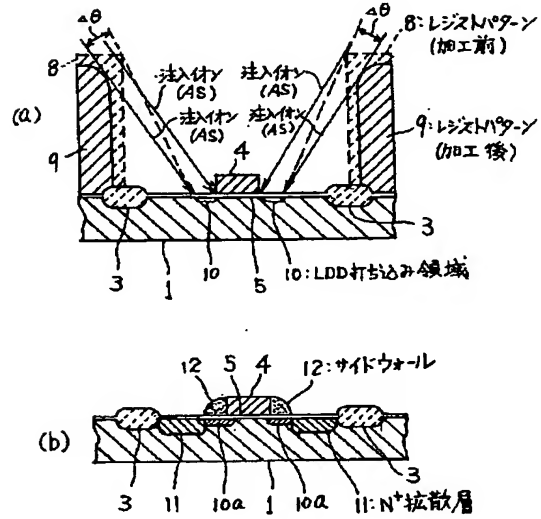
【図3】

第2実施例を示す斜めイオン注入法



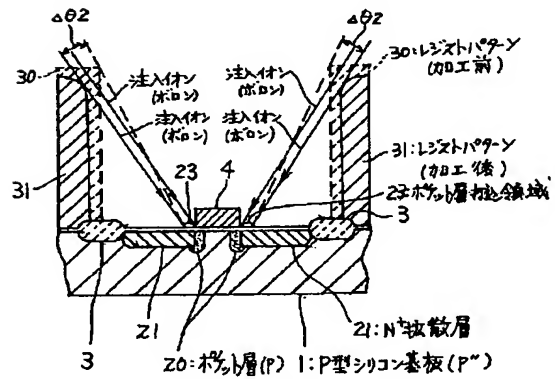
【図2】

第1実施例による斜めイオン注入工程断面図(II)



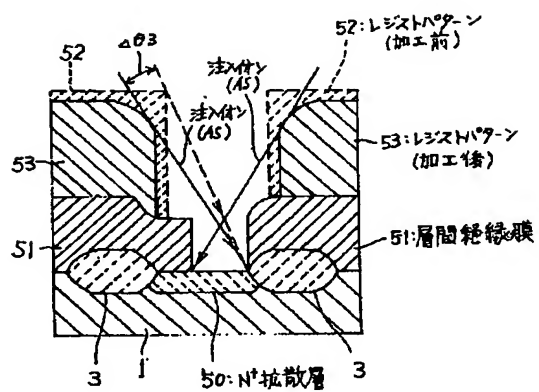
【図4】

第3実施例を示す斜めイオン注入法



【図5】

第4実施例による斜めイオン注入法



フロントページの続き

(51)Int.Cl.⁵

識別記号

庁内整理番号
7352-4M

F I

H O I L 21/30

技術表示箇所

3 6 1 V